

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Song et al.

Filed: Concurrently Herewith

For: FERROELECTRIC MEMORY DEVICES WITH IMPROVED FERROELECTRIC
PROPERTIES AND ASSOCIATED METHODS FOR FABRICATING SUCH
MEMORY DEVICES

Date: February 9, 2004

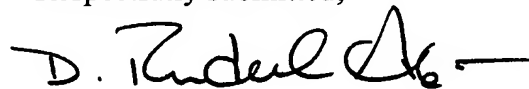
Mail Stop - Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

APPLICATION FILED UNDER 37 CFR 1.41(c)

Sir:

The above identified application is being filed on behalf of the inventors, **Yoon-Jong Song**, a resident of Seoul, Korea; **Nak-Won Jang**, a resident of Seoul, Koera; and **Ki-Nam Kim**, a resident of Gyeonggi-do, Korea under the provisions of 37 CFR 1.41(c). A Declaration and Power of Attorney from the inventors will follow, 37 CFR 1.63.

Respectfully submitted,



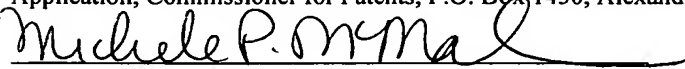
D. Randal Ayers
Registration No. 40,493

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec, P.A.
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401

CERTIFICATE OF EXPRESS MAILING

"Express Mail" mailing label no. EV353593034US
Date of Deposit February 9, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Michele P. McMahan
Date of Signature: February 9, 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Song et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: FERROELECTRIC MEMORY DEVICES WITH IMPROVED FERROELECTRIC
PROPERTIES AND ASSOCIATED METHODS FOR FABRICATING SUCH
MEMORY DEVICES

Date: February 9, 2004

Mail Stop PATENT APPLICATION

Commissioner for Patents

P. O. Box 1450

Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2003-0008202, filed February 10, 2003.

Respectfully submitted,

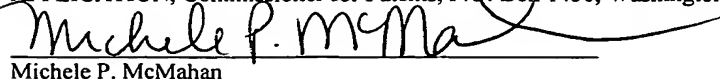


D. Randal Ayers
Registration No. 40,493

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec, P.A.
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401
Our File No. 5649-1165

"Express Mail" mailing label number EV 353593034US
Date of Deposit: February 9, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Washington, DC 20231.


Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0008202
Application Number

출원 년 월 일 : 2003년 02월 10일
Date of Application FEB 10, 2003

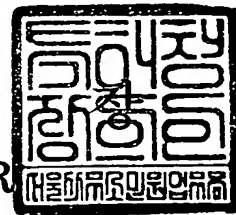
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 04 일

특 허 청

COMMISSIONER





1020030008202

출력 일자: 2003/11/11

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.02.10
【발명의 명칭】	강유전체 메모리 소자 및 그 제조방법
【발명의 영문명칭】	FERROELECTRIC MEMORY DEVICE AND METHOD FOR FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	송윤종
【성명의 영문표기】	SONG,YOON JONG
【주민등록번호】	711012-1182718
【우편번호】	137-130
【주소】	서울특별시 서초구 양재동 우성 APT 108동 1502호
【국적】	KR
【발명자】	
【성명의 국문표기】	김기남
【성명의 영문표기】	KIM,KI NAM
【주민등록번호】	580414-1273118
【우편번호】	431-070

【주소】	경기도 안양시 동안구 평촌동 932-6번지 꿈마을 라이프APT 108동 502 호
【국적】	KR
【발명자】	
【성명의 국문표기】	장낙원
【성명의 영문표기】	JANG, NAK-WON
【주민등록번호】	671107-1156813
【우편번호】	151-014
【주소】	서울특별시 관악구 신림4동 499-42호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	32 면 32,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	37 항 1,293,000 원
【합계】	1,354,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통



【요약서】

【요약】

본 발명은 캐패시터 강유전막의 강유전성 열화가 방지되는 강유전체 메모리 소자 및 그 제조방법을 개시한다. 개시된 본 발명은, 트랜지스터가 형성된 반도체 기판; 상기 기판상에 형성된 제1층간절연막; 상기 기판과 전기적으로 도통하고, 상기 제1층간절연막 일부상에 형성된 비트라인; 상기 제1층간절연막 전면상에 형성된 제2층간절연막; 상기 제2층간절연막과 제1층간절연막을 관통하는 매몰형 플러그; 상기 매몰형 플러그와 전기적으로 도통되는 매몰형 캐패시터 하부전극; 상기 매몰형 캐패시터 하부전극 사이에 리세스되어 형성된 제3층간절연막; 상기 매몰형 캐패시터 하부전극과의 단차없이 상기 제3층간절연막상에 형성된 반응완충막; 상기 매몰형 캐패시터 하부전극과 반응완충막상에 형성된 캐패시터 강유전막; 및 상기 캐패시터 강유전막상에 형성된 캐패시터 상부전극을 포함하는 것을 특징으로 한다. 본 발명에 따르면, 매몰형 캐패시터 하부전극 구조의 적용으로 캐패시터 강유전막은 식각 손상을 입지 않게 되고, 반응완충막의 형성과 평탄화로 강유전체 증착의 균일성이 담보되며, 강유전체와 층간절연막간의 원치 않은 반응이 억제된다. 따라서, 강유전체 메모리 소자의 전기적 특성이 향상되는 효과가 있다.

【대표도】

도 2



【명세서】

【발명의 명칭】

강유전체 메모리 소자 및 그 제조방법{FERROELECTRIC MEMORY DEVICE AND METHOD FOR FABRICATING THE SAME}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 강유전체 메모리 소자 및 그 제조방법을 설명하기 위한 단면도이다.

도 2 및 도 3은 본 발명에 따른 강유전체 메모리 소자를 설명하기 위한 단면도이다.

도 4 내지 도 15는 본 발명에 따른 강유전체 메모리 소자의 제조방법을 설명하기 위한 공정별 단면도이다.

* 도면의 주요부분에 대한 부호의 설명 *

100: 반도체 기판 102: 소자분리막
 104: 게이트 절연막 106: 게이트 전극
 108: 하드마스크막 110: 게이트 스페이서
 112a: 소오스 영역 112b: 드레인 영역
 114: 트랜지스터 115a: 제1콘택패드
 115b: 제2콘택패드 116, 116a, 116b: 제1층간절연막
 118: 제1콘택홀 120: 비트라인
 122, 122a: 제2층간절연막 124: 제2콘택홀
 126: 매몰형 플러그 128: 제1물질



130: 제2물질 132: 제3물질

134: 매물형 캐패시터 하부전극 136,136a: 제1확산방지막

138,138a: 제3층간절연막 140: 반응완충막

142: 캐패시터 강유전막 144: 제4물질

146: 제5물질 148: 캐패시터 상부전극

150,150a: 제2확산방지막 160,160a: 제4층간절연막

162: 제1금속배선 164,164a: 제5층간절연막

166: 비아홀 168: 제2금속배선

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22> 본 발명은 강유전체 메모리 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 캐패시터 강유전막의 강유전성 열화가 방지되는 강유전체 메모리 소자 및 그 제조방법에 관한 것이다.

<23> 주지된 바와 같이, 강유전체(Ferroelectric Material)는 임의의 온도 영역에서 외부 전기장(Applied Electric Field)이 없어도 자발적인 분극(Spontaneous Polarization) 특성을 지닌다. 또한, 강유전체는 일정한 방향으로 분극된 상태에서 역방향의 전기장이 인가되면 분극이 역방향으로 반전되는 특성을 지니고 있다. 다시 말하면, 강유전체는 전기장의 크기와 방향에 따라 일정한 이력



현상(Hysteresis)을 보이게 된다. 이러한 강유전체의 이력 현상을 이용하여 정보를 기입(Write)하고 판독(Read)하는 메모리 소자를 강유전체 메모리(Ferroelectric RAM) 소자라 한다. 이러한 강유전체 메모리 소자는 전원이 끊어지더라도 저장된 정보가 계속적으로 남아있는 비휘발성 특성을 지닌다.

<24> 강유전체 메모리 소자는 비휘발성 특성과, 우수한 내구성(Endurance)과, 수십 나노초(nsec) 정도의 빠른 동작 속도와, 5V 정도의 낮은 동작 전압과, 1mA 정도의 대기 전류 등 이상적인 메모리 특성을 구비하고 있다. 따라서, 강유전체 메모리 소자는 향후 차세대 메모리 소자로서 각광 받고 있다. 이와 같이 우수한 특성을 메모리 소자로서 충분히 활용하기 위하여 소자의 고집적화를 이뤄야 하는데, 이를 달성하기 위해서는 1 트랜지스터-1 강유전체 캐패시터(1T/1C) 셀 구조, 강유전체 캐패시터의 축소 기술(Small Ferroelectric Capacitor Technology), 다층 배선 공정, 내열 보존성(Hot Temperature Retention), 디램(DRAM)이나 에스램(SRAM) 소자에 필적할 만한 판독(Read) 및 기입(Write) 내구성(Endurance) 등 소자의 신뢰성(Reliability) 확보가 필수적이다.

<25> 그 중 소자의 고집적화를 위해서는 1 트랜지스터-1 강유전체 캐패시터(1T/1C) 셀 구조의 실현과, 강유전체 캐패시터의 축소 기술(Small Ferroelectric Capacitor Technology)의 구현이 가장 중요한 공정이라 할 수 있다. 특히, 강유전체 캐패시터의 축소 기술(Small Ferroelectric Capacitor Technology)이 현재의 고집적화 추세에 진행됨에 따라 가장 복잡하고 근본적인 기술이라 할 것이다.

<26> 한편, 강유전체 메모리 소자는 디램(DRAM)의 경우와 마찬가지로 트랜지스터



와 강유전체 캐패시터가 전기적으로 도통되어야 한다. 트랜지스터와 강유전체 캐패시터 사이의 전기적 도통 방법으로는 미합중국 마이크론 테크놀로지(Micron Technology)사의 미합중국 특허 제5,119,154호 "FERROELECTRIC CAPACITOR AND METHOD FOR FORMING LOCAL INTERCONNECTION"에 개시된 바 있는 금속을 이용한 국소 연결법(Local Interconnection)이 있다.

<27> 그러나, 소자의 고집적화 추세에 따라 단위 셀을 최소화하는 것이 요구된다. 따라서, 도 1에 도시된 바와 같이, 플러그를 이용하여 트랜지스터의 소오스/드레인 영역과 강유전체 캐패시터를 연결하는 방법이 반도체 제조에 널리 적용되고 있다. 도 1에 도시된 바와 같은 플러그를 이용하여 트랜지스터의 소오스/드레인 영역과 강유전체 캐패시터를 연결하는 방법이 일본국 샤프(Sharp)사의 미합중국 특허 제5,854,104호 "PROCESS FOR FABRICATING NONVOLATILE SEMICONDUCTOR MEMORY DEVICE HAVING A FERROELECTRIC CAPACITOR"에 개시되어 있다.

<28> 도 1을 참조하여, 종래의 강유전체 메모리 소자는 기판(1)상에 게이트 전극(4)을 포함하는 트랜지스터를 형성하는 단계와, 층간절연막(7)을 형성하는 단계와, 질화티타늄막(12;TiN)과 백금막(13;Pt)으로 이루어진 캐패시터 하부전극(12,13)을 형성하는 단계와, 캐패시터 강유전막(14)을 형성하는 단계와, 백금막(15)과 질화티타늄막(16)과 알루미늄막(17)으로 이루어진 캐패시터 상부전극(15,16,17)을 형성하는 단계를 통해 형성된다. 여기서, 캐패시터 하부전극(12,13)은 층간절연막(7)을 관통하여 형성된 플러그(11)와 전기적으로 접속하며, 소자분리막(2)과 게이트 전극(4)이 형성된 기판(1)의 소오스 영역(5a)은 비트라인(6)과 접촉하며 드레인 영역(5b)은 플러그(11)와 접촉한다. 미설명 도면부호 3은 게이트 절연막을 지시하며, 도면부호 8은 확산방지막을 지시하며, 도면부호 10은 배리어막을 지시하며, 도면부호 18은 절연막을 지시한다.

- <29> 그런데, 종래 강유전체 메모리 소자를 제조하는데 있어서는 다음과 같은 문제점이 있었다.
- <30> 종래 기술에 있어서, 강유전체 캐패시터는 식각 공정을 통하여 형성된다. 이때, 강유전체 캐패시터의 유전막으로 채용되는 강유전체는 식각 공정중 식각 손상(Etching Damage)을 입게 될 위험성이 있었다. 강유전체의 식각 손상은 강유전체의 강유전성의 열화를 야기하며, 종국적으로는 강유전체 메모리 소자의 특성 열화를 가져오게 하는 주요 원인이 되었다. 특히, 소자의 고집적화로 말미암아 강유전체의 식각 손상은 기존과 비교하여 강유전체 메모리 소자의 제조에 있어서 상대적으로 더욱 큰 문제점이 되었다.
- <31> 한편, 캐패시터의 유전막으로 사용되는 강유전체는 캐패시터 하부전극과 층간절연막상에 증착되어 캐패시터 강유전체막으로 형성된다. 그런데, 캐패시터의 하부전극과 층간절연막간의 단차로 인해 강유전체가 균일하게 증착되지 못하는 문제점이 있었다. 즉, 캐패시터 하부전극과 층간절연막간의 평탄화되지 않은 구조물상에 강유전체가 증착됨으로써 전체적으로 강유전체막의 균일성이 떨어지고, 심한 경우 강유전막의 리프팅(Lifting) 현상이 발생하는 문제점이 있었다.
- <32> 또한, 캐패시터 강유전막 형성시 강유전체는 캐패시터 하부전극과 층간절연막상에 비정질 상태로 증착되어 열처리를 통해 결정 상태의 캐패시터 강유전막으로 형성되는데, 이때 강유전체와 층간절연막 사이에 원치 않은 반응이 일어나게 된다. 이러한 강유전체와 층간절연막 사이의 원치 않은 반응에 의해 강유전성이 저하되는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

- <33> 이에, 본 발명은 상기한 종래 기술상의 제반 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 매물형 캐패시터 하부전극 구조의 적용으로 캐패시터 강유전막의 식각 손상이 제거된 강유전체 메모리 소자 및 그 제조방법을 제공함에 있다.
- <34> 본 발명의 다른 목적은 반응완충막의 형성과 강유전체 증착면의 평탄화로 강유전체 증착의 균일성이 담보되고 강유전체와 층간절연막간의 원치 않은 반응이 억제되는 강유전체 메모리 소자 및 그 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

- <35> 상기한 목적을 달성하기 위한 본 발명에 따른 강유전체 메모리 소자는, 트랜지스터가 형성된 반도체 기판; 상기 기판상에 형성된 제1층간절연막; 상기 기판과 전기적으로 도통하고, 상기 제1층간절연막 일부상에 형성된 비트라인; 상기 제1층간절연막상에 형성된 제2층간절연막; 상기 제2층간절연막과 제1층간절연막을 관통하는 매물형 플러그; 상기 매물형 플러그와 전기적으로 도통되는 매물형 캐패시터 하부전극; 상기 매물형 캐패시터 하부전극 사이에 리세스되어 형성된 제3층간절연막; 상기 매물형 캐패시터 하부전극과의 단차없이 상기 제3층간절연막상에 형성된 반응완충막; 상기 매물형 캐패시터 하부전극과 반응완충막상에 형성된 캐패시터 강유전막; 및 상기 캐패시터 강유전막상에 형성된 캐패시터 상부전극을 포함하는 것을 특징으로 한다.
- <36> 상기 매물형 캐패시터 하부전극의 측면과 제2층간절연막상에 제1확산방지막이 더 형성되어 있는 것을 특징으로 하며, 상기 제1확산방지막은 상기 매물형 캐패시터 하부전극으로의 산

소의 확산을 억제할 수 있는 물질로 형성되어 있는 것을 특징으로 한다. 상기 산소의 확산을 억제할 수 있는 물질은 알루미늄 옥사이드(Aluminium Oxide)인 것을 특징으로 한다.

<37> 상기 매물형 캐패시터 하부전극은, 상기 매물형 플러그와 접촉하며 산소의 확산을 허용하지 않는 제1물질과; 상기 캐패시터 강유전막에 산소를 공급할 수 있는 제2물질과; 상기 캐패시터 강유전막의 안정적인 형성에 유리한 격자구조를 제공하는 제3물질로 순차로 형성된 적층구조로 되어 있는 것을 특징으로 한다. 상기 적층구조는, 상기 제1물질이 최하부막을 이루고, 상기 제2물질이 중간막을 이루며, 상기 제3물질이 최상부막을 이루는 것을 특징으로 한다. 상기 제1물질은 이리듐(Iridium)이고, 상기 제2물질은 이리듐 옥사이드(Iridium Oxide)이며, 상기 제3물질은 백금(Platinum)인 것을 특징으로 한다.

<38> 상기 제3층간절연막의 상부 표면은 상기 매물형 캐패시터 하부전극의 표면보다 더 낮으며, 상기 매물형 캐패시터 하부전극은 상기 제3층간절연막과 반응완충막으로 둘러싸인 매물된 형태인 것을 특징으로 한다.

<39> 상기 반응완충막은 상기 제3층간절연막과 상기 캐패시터 강유전막 사이의 반응을 허용하지 않는 물질로 형성되어 있는 것을 특징으로 한다. 상기 물질은 티타늄 옥사이드(Titanium Oxide)와 탄탈륨 옥사이드(Tantalum Oxide)와 알루미늄 옥사이드(Aluminium Oxide) 중에서 선택된 어느 하나인 것을 특징으로 한다.

<40> 상기 캐패시터 상부전극은 상기 캐패시터 강유전막에 산소를 공급할 수 있는 제4물질과, 상기 제4물질의 기계적 강도를 보완할 수 있는 제5물질이 순차로 형성된 적층구조로 되어 있는 것을 특징으로 한다. 상기 적층구조는, 상기 제4물질이 하부막을 이루고, 상기 제5물질이 상부막을 이루는 것을 특징으로 하는 강유전체 메모리 소자로 형성되어 있는 것을 특징으로 한

다. 상기 제4물질은 이리듐 옥사이드(Iridium Oxide)이고 상기 제5물질은 이리듐(Iridium)인 것을 특징으로 한다.

<41> 상기 캐패시터 상부전극과 상기 캐패시터 강유전막 전면상에 제2확산방지막이 더 형성되어 있는 것을 특징으로 하며, 상기 제2확산방지막은 상기 캐패시터 강유전막의 강유전성 저하를 야기하는 수소의 확산을 억제할 수 있는 물질로 형성되어 있는 것을 특징으로 한다. 상기 수소의 확산을 억제할 수 있는 물질은 알루미늄 옥사이드(Aluminium Oxide)인 것을 특징으로 한다.

<42> 상기 캐패시터 상부전극이 피복되도록 형성되어 있는 제4층간절연막; 상기 제4층간절연막의 소정 부위에 형성되어 있는 제1금속배선; 상기 제4층간절연막상에 형성되어 있는 제5층간절연막; 상기 캐패시터 상부전극의 표면이 노출되도록 상기 제5층간절연막과 제4층간절연막이 선택적으로 제거되어 형성된 비아홀; 및 상기 비아홀 내면에 형성되어 상기 캐패시터 상부전극과 전기적으로 도통되는 제2금속배선을 더 포함하는 것을 특징으로 한다.

<43> 상기 제1금속배선과 상기 제2금속배선은 알루미늄으로 형성되어 있는 것을 특징으로 한다.

<44> 상기한 목적을 달성하기 위한 본 발명에 따른 강유전체 메모리 소자의 제조방법은, 반도체 기판을 제공하는 단계; 상기 기판상에 트랜지스터를 형성하는 단계; 상기 트랜지스터가 형성된 반도체 기판상에 제1층간절연막을 형성하는 단계; 상기 제1층간절연막의 일부상에 상기 기판과 전기적으로 도통하는 비트라인을 형성하는 단계; 상기 제1층간절연막상에 제2층간절연막을 형성하는 단계; 상기 제2층간절연막과 제1층간절연막을 관통하는 매몰형 플러그를 형성하는 단계; 상기 매몰형 플러그와 전기적으로 도통되는 캐패시터 하부전극을 형성하는 단계; 상기 제2층간절연막상에 제3층간절연막을 형성하는 단계; 상기 제3층간절연막을 일부 제거하되,

상기 제3층간절연막의 상부 표면으로부터 일정 깊이의 두께를 제거하는 단계; 상기 캐패시터 하부전극과의 단차가 없도록 상기 제3층간절연막상에 반응완충막을 형성하여, 반응완충막에 의해 매몰된 형태를 가진 매몰형 캐패시터 하부전극 구조를 형성하는 단계; 상기 매몰형 캐패시터 하부전극과 반응완충막상에 캐패시터 강유전막을 형성하는 단계; 및 상기 캐패시터 강유전막상에 캐패시터 상부전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<45> 상기 캐패시터 하부전극을 형성하는 단계 이후에, 상기 캐패시터 하부전극을 전부 피복하도록 상기 제2층간절연막상에 제1확산방지막을 형성하는 단계를 더 포함하는 것을 특징으로 한다. 상기 제1확산방지막은 상기 캐패시터 하부전극으로의 산소의 확산을 억제할 수 있는 물질로 형성되는 것을 특징으로 하며, 상기 산소의 확산을 억제할 수 있는 알루미늄 옥사이드(Aluminium Oxide)인 것을 특징으로 한다.

<46> 상기 캐패시터 하부전극을 형성하는 단계는, 상기 매몰형 플러그가 형성된 제2층간절연막상에 산소의 확산을 허용하지 않는 제1물질과, 상기 캐패시터 강유전막에 산소를 공급할 수 있는 제2물질과, 상기 캐패시터 강유전막의 안정적인 형성에 유리한 격자구조를 제공하는 제3물질을 순차로 증착하는 단계; 및 상기 증착된 제3물질과 제2물질과 제1물질을 선택적으로 제거하는 단계를 포함하는 것을 특징으로 한다. 상기 제1물질은 이리듐(Iridium)이고, 상기 제2물질은 이리듐 옥사이드(Iridium Oxide)이며, 상기 제3물질은 백금(Platinum)인 것을 특징으로 한다.

<47> 상기 제3층간절연막을 형성하는 단계는, 상기 캐패시터 하부전극이 모두 피복되도록 상기 제2층간절연막상에 소정의 절연물질을 증착하는 단계; 및 상기 캐패시터 하부전극 상부 표면이 노출되도록 상기 절연물질을 화학기계적 연마로 평탄화하는 단계를 포함하는 것을 특징으로 한다.

- <48> 상기 제3층간절연막을 일부 제거하는 단계는, 옥사이드 에치백 공정을 이용하여 상기 캐패시터 하부전극 사이에 형성된 제3층간절연막을 표면으로 부터 일정 깊이의 두께를 제거하여 상기 제3층간절연막의 상부 표면이 상기 캐패시터 하부전극의 표면보다 더 낮도록 형성하는 것을 특징으로 한다.
- <49> 상기 반응완충막을 형성하는 단계는, 상기 캐패시터 하부전극과 상기 선택적으로 제거된 제3층간절연막상에 소정의 물질을 증착하는 단계; 및 상기 캐패시터 하부전극의 상부 표면이 노출되도록 상기 소정의 물질을 화학기계적 연마로 평탄화하는 단계를 포함하는 것을 특징으로 한다. 상기 소정의 물질은 상기 제3층간절연막과 상기 캐패시터 강유전막 사이의 반응을 허용하지 않는 물질인 것을 특징으로 하며, 상기 제3층간절연막과 상기 캐패시터 강유전막 사이의 반응을 허용하지 않는 물질은 티타늄 옥사이드(Titanium Oxide)와 탄탈륨 옥사이드(Tantalum Oxide)와 알루미늄 옥사이드(Aluminium Oxide) 중에서 선택된 어느 하나인 것을 특징으로 한다.
- <50> 상기 캐패시터 상부전극을 형성하는 단계는, 상기 캐패시터 강유전막상에 상기 캐패시터 강유전막에 산소를 공급할 수 있는 제4물질과, 상기 제4물질의 기계적 강도를 보완할 수 있는 제5물질을 순차로 증착하는 단계; 및 상기 제5물질과 제4물질을 선택적으로 제거하는 단계를 포함하는 것을 특징으로 한다. 상기 제4물질은 이리듐 옥사이드(Iridium Oxide)이고, 상기 제5물질은 이리듐(Iridium)인 것을 특징으로 한다.
- <51> 상기 캐패시터 상부전극을 형성하는 단계 이후에, 상기 캐패시터 상부전극과 상기 캐패시터 강유전막 전면상에 제2확산방지막을 형성하는 단계를 더 포함하는 것을 특징으로 한다. 상기 제2확산방지막은 상기 캐패시터 강유전막의 강유전성 저하를 야기하는 수소의 확산을 억

제할 수 있는 물질로 형성되는 것을 특징으로 하며, 상기 수소의 확산을 억제할 수 있는 물질은 알루미늄 옥사이드(Aluminium Oxide)인 것을 특징으로 한다.

<52> 상기 캐패시터 상부전극을 형성하는 단계 이후에, 상기 캐패시터 상부전극이 피복되도록 제4층간절연막을 형성하는 단계; 상기 제4층간절연막의 소정 부위에 제1금속배선을 형성하는 단계; 상기 제4층간절연막상에 제5층간절연막을 형성하는 단계; 상기 캐패시터 상부전극의 표면이 노출되도록 상기 제5층간절연막과 제4층간절연막을 선택적으로 제거하여 비아홀을 형성하는 단계; 및 상기 비아홀 내면에 상기 캐패시터 상부전극과 전기적으로 도통되는 제2금속배선을 형성하는 단계를 더 포함하는 것을 특징으로 한다. 상기 제1금속배선과 상기 제2금속배선은 알루미늄으로 형성되는 것을 특징으로 한다.

<53> 본 발명에 의하면, 매물형 캐패시터^o 하부전극 구조에 의해 캐패시터 강유전막은 식각 손상을 입지 않게 되고, 반응완충막의 형성과 강유전체 증착면의 평탄화로 강유전체 증착의 균일성이 담보되며 강유전체와 층간절연막간의 원치 않은 반응이 억제된다.

<54> 이하, 본 발명에 따른 강유전체 메모리 소자 및 그 제조방법을 첨부한 도면을 참조하여 상세히 설명한다. 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면에 있어서, 막 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 막이 다른 막 또는 기판"상"에 있다고 언급되는 경우 그것은 다른 막 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 막이 개재될 수 있다. 명세서 전체에 걸쳐서 동일한 도면 부호들은 동일한 구성요소를 나타낸다.

- <55> 도 2 및 도 3은 본 발명에 따른 강유전체 메모리 소자를 설명하기 위한 단면도이고, 도 4 내지 도 15는 본 발명에 따른 강유전체 메모리 소자의 제조방법을 설명하기 위한 공정별 단면도이다.
- <56> (실시예)
- <57> 본 발명에 따른 강유전체 메모리 소자는, 도 2에 도시된 바와 같이, 실리콘(Si)과 같은 반도체 원소로 구성되며, 소자분리막(102)에 의해 정의된 활성 영역상에 트랜지스터(114)가 형성되어 있다. 트랜지스터(114)는 게이트 절연막(104)과 게이트 전극(106)과 하드마스크막(108)이 순차로 적층된 구조로서 그 양측면에는 게이트 스페이서(110)가 형성되어 있다. 또한, 트랜지스터(114)는 기판(100)에 대한 소정의 이온주입을 통해 형성된 소오스 영역(112a)과 드레인 영역(112b)을 포함하여 구성된다. 한편, 트랜지스터(114)는 필요에 따라 본 발명의 실시예와 달리 구성될 수 있음은 물론이다.
- <58> 반도체 기판(100)상에는 실리콘 산화막 등으로 구성된 제1층간절연막(116b)과 제2층간절연막(122a)이 순차로 형성되어 있다. 여기서, 제1층간절연막(116b) 상면에는 제1층간절연막(116b)을 관통하는 제1콘택홀(118) 내에 매립되어 기판(100)의 소오스 영역(112a)과 전기적으로 도통하는 비트라인(120)이 형성되어 있다. 그리고, 제2층간절연막(122a) 상면에는 강유전체 캐패시터를 구성하는 최소한의 구성요소, 즉 캐패시터 하부전극(134)과 캐패시터 강유전막(142)과 캐패시터 상부전극(148)이 순차로 형성되어 형성되어 있다.
- <59> 캐패시터 하부전극(134)은 제2층간절연막(122a)과 제1층간절연막(116b)을 관통하는 제2콘택홀(124)내에 매립되어 있는 매몰형 플러그(126)를 통해 기판(100)의 드레인 영역(112b)과 전기적으로 도통된다.

- <60> 매물형 캐패시터 하부전극(134)의 구체적인 구성은 다음과 같다. 매물형 캐패시터 하부전극(134)은, 매물형 플러그(126)와 접촉하며 산소의 확산을 허용하지 않는 제1물질(128)과, 캐패시터 강유전막(142)에 산소를 공급할 수 있는 제2물질(130)과, 캐패시터 강유전막(142)의 안정적인 형성에 유리한 격자구조를 제공하는 제3물질(132)이 순차로 적층된 구조이다. 즉, 매물형 캐패시터 하부전극(134)은 제1물질(128)이 최하부막을 이루며, 제2물질(130)이 중간막을 이루며, 제3물질(132)이 최상부막을 이루는 3개층의 적층형 구조이다.
- <61> 제1물질(128)로는 그 자체가 전도성 물질이면서 산화되지 않거나, 설령 산화되어도 전도성을 가지는 성질을 지니고 있으며, 산소의 확산을 허용하지 않는 물질인 것이 바람직하다. 이는 산소의 확산으로 매물형 플러그(126)를 산화시켜 콘택저항을 높이는 산화물 형성을 억제하기 위함이다. 따라서, 상기 요구조건에 적합한 성질을 지니는 제1물질(128)로는 이리듐(Iridium)인 것이 바람직하다. 이리듐(Iridium) 이외에 루테튬(Ruthenium)이나 오스뮴(Osmium)과 같이 잘 산화되지 않는 귀금속(Noble Metal)류 물질을 제1물질(128)로 적용할 수 있음은 물론이다.
- <62> 제2물질(130)로는 강유전체 메모리 소자의 피로(Fatigue) 특성을 개선시키기 위하여 캐패시터 강유전막(142)에 산소를 공급할 수 있는 물질로 형성되어 있는 것이 바람직하다. 예를 들어, 제2물질(130)은 이산화이리듐(IrO_2)과 같은 이리듐 옥사이드(Iridium Oxide)인 것이 바람직하다.
- <63> 제3물질(132)은 백금(Platinum)인 것이 바람직하다. 백금은 강유전체가 열처리를 통해 영구 쌍극자(Permanent Electrical Dipole)가 존재하는 페로브스카이트(Perovskite) 결정 구조로 형성되는데에 유리한 격자구조를 제공하기 때문이다. 따라서, 백금을 제3물질(132)로 적용하게 되면 캐패시터 강유전막(142) 형성에 유용하다.

<64> 한편, 매물형 캐패시터 하부전극(134)의 측면과 제2층간절연막(122a)상에 캡슐형의 제1 확산방지막(136a)이 더 형성되어 있는 것이 바람직하다. 제1확산방지막(136a)이 더 형성되어 있으면, 캐패시터 하부전극(134)을 통해 매물형 플러그(126)로의 산소의 확산으로 인한 매물형 플러그(126)의 산화를 방지하기 때문이다. 따라서, 제1확산방지막(136a)은 알루미늄 옥사이드 (Aluminium Oxide)와 같이 캐패시터 하부전극(136)으로의 산소의 확산을 억제할 수 있는 물질로 형성되어 있는 것이 바람직하다. 알루미늄 옥사이드 (Aluminium Oxide) 이외에 티타늄 옥사이드(Titanium Oxide), 지르코늄 옥사이드(Zirconium Oxide), 세슘 옥사이드(Cesium Oxide)와 같이 산소의 확산을 방지할 수 있는 물질이면 어느 것이든 제1확산방지막(136a)으로 적용할 수 있다.

<65> 매물형 캐패시터 하부전극(134) 사이에는 리세스된 제3층간절연막(138a)이 형성되어 있다. 그리고, 리세스된 제3층간절연막(138a) 상에는 매물형 캐패시터 하부전극(134)과의 단차없이 반응완충막(140)이 형성되어 있다. 즉, 제3층간절연막(138a)의 상부 표면은 매물형 캐패시터 하부전극(134)의 표면보다 더 낮다. 그리고, 매물형 캐패시터 하부전극(134)은 제3층간절연막(138a)과 반응완충막(140)으로 둘러싸인 매몰된 형태를 지닌다.

<66> 따라서, 캐패시터 하부전극(134)과 반응완충막(140)의 표면으로 이루어진 강유전체가 증착될 증착면, 즉 캐패시터 강유전막(142)이 형성될 표면은 평탄화되어 있다. 그러므로, 캐패시터 강유전막(142)은 균일한 증착 형성이 가능하여 리프팅(Lifting)과 같은 구조상의 문제가 발생되지 아니 한다. 또한, 캐패시터 강유전막(142)은 평탄화된 표면 전체에 걸쳐서 형성되기 때문에 식각 공정을 받지 아니한다. 따라서, 캐패시터 강유전막(142)에는 식각 손상이 존재할 여지가 없다.

- <67> 캐패시터 강유전막(142)은 PZT (Lead Zirconium Titrate), SBT (Strontium Barium Tantalum), SBTN (Strontium Barium Tantalum Nitride), SBTT (Strontium Barium Tantalum Titanate) 등의 강유전성 물질로 구성되어 있다.
- <68> 반응완충막(140)은 실리콘 산화막 등으로 구성된 제3층간절연막(138a)과 캐패시터 강유전막(142) 사이의 원치 않은 반응, 예를 들어 강유전성을 떨어뜨리는 파이로클로르상(Pyrochlore Phase)의 생성을 허용하지 않는 물질로 형성되어 있는 것이 바람직하다. 따라서, 반응완충막(140)은 티타늄 옥사이드(Titanium Oxide)와 탄탈륨 옥사이드(Tantalum Oxide)와 알루미늄 옥사이드(Aluminium Oxide) 중에서 선택된 어느 하나로 형성되어 있는 것이 바람직하다.
- <69> 캐패시터 강유전막(142)상에는 캐패시터 상부전극(148)이 형성되어 있다. 캐패시터 상부전극(148)은 캐패시터 강유전막(142)에 산소를 공급할 수 있는 제4물질(144)과, 제4물질(144)의 기계적 강도를 보완할 수 있는 제5물질(146)이 순차로 적층된 구조로 형성되어 있다. 즉, 캐패시터 강유전막(142)은 제4물질(144)이 하부막을 이루고 제5물질(146)이 상부막을 이루는 2개층의 적층형 구조이다.
- <70> 여기서, 제4물질(142)은 강유전체 메모리 소자의 피로(Fatigue) 특성을 개선하기 위한 물질, 즉 캐패시터 강유전막(142)에 산소를 공급할 수 있는 이산화이리듐(IrO_2)과 같은 이리듐 옥사이드(Iridium Oxide)로 형성되어 있는 것이 바람직하다. 그런데, 제4물질(144)로 적용되는 이리듐 옥사이드는 기계적 강도 측면에서 취성(Brittleness)과 같은 취약한 특성을 지니고 있다. 따라서, 캐패시터 상부전극(148)의 제5물질(146)로는 제4물질(144)로 적용되는 이리듐 옥사이드(Iridium Oxide)의 취약한 기계적 강도를 보완할 수 있는 이리듐(Iridium)으로 형성되어 있는 것이 바람직하다.

- <71> 한편, 캐패시터 상부전극(148)과 캐패시터 강유전막(142) 전면상에 캐패시터 강유전막(142)의 강유전성 저하를 야기하는 수소의 확산을 억제할 수 있는 물질로 구성되는 제2확산방지막(150a)이 더 형성되어 있는 것이 바람직하다. 여기서, 수소의 확산을 억제할 수 있는 물질로는 알루미늄 옥사이드(Aluminium Oxide)를 그 대표로 들 수 있다.
- <72> 캐패시터 상부전극(148) 상부에는 제4층간절연막(160a)과 제5층간절연막(164a)이 순차로 적층되어 있으며, 제4층간절연막(160a)의 소정 부위에는 알루미늄 등의 금속으로 구성된 제1금속배선(162)이 위치한다. 그리고, 제4층간절연막(160a)과 제5층간절연막(164a)이 선택적으로 제거되어 형성된 비아홀(166)내에는 알루미늄 등으로 구성되어 캐패시터 상부전극(148)과 전기적으로 도통하는 제2금속배선(168)이 형성되어 있다. 제2금속배선(168)은 이른바 플레이트 라인이라 지칭된다.
- <73> 한편, 도 3에 도시된 바와 같이, 비트라인(120)은 폴리실리콘 등으로 구성된 제1콘택패드(115a)를 통해서 기판의 소오스 영역(112a)과 전기적으로 도통되어 있는 구조로 형성되어 있는 것이 가능하다. 또한, 매몰형 플러그(126)의 경우도 제2콘택패드(115b)를 통해서 기판(100)의 드레인 영역(112b)과 전기적으로 도통되는 구조로 형성되어 있는 것이 가능하다.
- <74> 상기와 같은 구조를 지닌 강유전체 메모리 소자에 있어서는 캐패시터 하부전극이 제3층간절연막과 반응완충막으로 둘러싸여 매립된 형태를 지니게 된다. 또한, 캐패시터 하부전극과 반응완충막 사이에는 단차가 형성되어 있지 않다. 따라서, 캐패시터 하부전극과 반응완충막 전면상에 형성되어 있는 캐패시터 강유전막은 평탄화된 증착면상에서 형성되므로 균일한 강유전막 구성을 지니게 된다. 이와 아울러, 캐패시터 강유전막은 평탄화된 증착면 전면상에 식각 공정없이 형성되어 있으므로 식각 손상이 존재할 여지가 없다.

- <75> 이하, 본 발명에 따른 강유전체 메모리 소자의 제조방법을 도 4 내지 도 15를 참조하여 설명한다.
- <76> 본 발명에 따른 강유전체 메모리 소자의 제조방법은, 도 4에 도시된 바와 같이, 먼저 실리콘(Si)과 같은 반도체 원소로 구성된 반도체 기판(100)을 준비한다. 제공된 기판(100)의 소정 부위에 주지된 공정으로 소자분리막(102)을 형성하여 트랜지스터(114) 등의 각종의 구성요소가 형성되는 활성 영역(Active Region)을 정의한다. 소자분리막(102) 형성 공정으로는 국소 산화법과 트렌치 형성법 등이 있는데 소자의 고집적화에 적합한 트렌치 형성법을 사용하는 것이 바람직하다.
- <77> 그런다음, 소자분리막(102)에 의해 정의된 기판(100)의 활성 영역상에 워드라인(Word Line)으로서의 트랜지스터(114)를 형성한다. 트랜지스터(114)는 게이트 절연막(104)과 게이트 전극(106)과 하드 마스크막(108)과 게이트 스페이서(110)와 소오스 영역(112a)과 드레인 영역(112b)을 형성하여 정의한다. 트랜지스터(114)는 상기한 구성요소 외에 다른 구성요소, 예를 들어, LDD (Lightly Doped Drain) 영역을 더 형성하거나 이중 게이트 스페이서를 더 형성할 수 있는 등 필요에 따라 다른 구성요소를 더 형성 할 수 있으며, 또한 하드마스크막(108)을 형성하지 않는 등 본 명세서에 개시된 실시예의 트랜지스터(114)와 상이한 형태로 구현할 수 있다.
- <78> 이어서, 트랜지스터(114)가 형성된 기판(100)상에 제1층간절연막(116)을 형성한다. 제1층간절연막(116)은 통상적인 화학기상증착법(CVD)을 이용하여 실리콘 산화막과 같은 절연성 물질을 트랜지스터(114)가 완전히 피복되도록 하는 두께로 증착하여 형성한다.
- <79> 다음으로, 도 5에 도시된 바와 같이, 제1층간절연막(116)을 관통하여 기판(100)의 소오스 영역(112a)과 전기적으로 도통하며, 강유전체 메모리 소자의 데이터 라인 기능을 하는 비트라인(120)을 형성한다. 비트라인(120)을 형성하기 위해선, 먼저 기판(100)의 소오스 영역

(112a)이 노출되도록 플라즈마 건식 식각 등과 같은 이방성 식각으로 제1층간절연막(116)을 선택적으로 제거한다. 그결과, 선택적으로 그 일부가 제거된 제1층간절연막(116a)을 관통하는 제1콘택홀(118)이 형성된다. 이어서, 폴리실리콘이나 텅스텐과 같은 금속 등의 전도성 물질로써 제1콘택홀(118)을 매립한 다음 패터닝 공정 등을 수행하여 비트라인(120)을 완성한다.

<80> 계속하여, 비트라인(120)이 형성되어 있는 제1층간절연막(116a)상에 제2층간절연막(122)을 형성한다. 제2층간절연막(122)의 형성도 제1층간절연막(116) 형성의 경우와 마찬가지로 통상적인 화학기상증착법(CVD)을 이용하여 실리콘 산화막 등을 비트라인(120)이 완전히 피복되도록 하는 두께로 증착하여 형성한다.

<81> 이어서, 도 6에 도시된 바와 같이, 플라즈마 건식과 같은 이방성 식각을 이용하여 기판(100)의 드레인 영역(112b)이 노출되도록 제2층간절연막(122)과 제1층간절연막(116a)을 선택적으로 제거한다. 그결과, 선택적으로 그 일부가 제거된 제2층간절연막(122a)과 제1층간절연막(116b)을 관통하는 제2콘택홀(124)이 형성된다. 그런다음, 폴리실리콘이나 텅스텐과 같은 금속 등의 전도성 물질로써 제2콘택홀(124)을 매립하여 드레인 영역(112b)과 후술하는 캐패시터 하부전극(도 7의 134 참조)을 전기적으로 도통시키는 매몰형 플러그(126;Buried Plug)를 형성한다.

<82> 다음으로, 도 7에 도시된 바와 같이, 매몰형 플러그(126)와 전기적으로 도통되는 캐패시터 하부전극(134)을 형성한다. 캐패시터 하부전극(134)은 다음과 같은 일련의 단계로 형성한다. 먼저, 매몰형 플러그(126)가 형성된 제2층간절연막(122a)상에 산소의 확산을 허용하지 않는 제1물질(128)과, 후술하는 캐패시터 강유전막(

도 11의 142 참조)에 산소를 공급할 수 있는 제2물질(130)과, 후술하는 캐패시터 강유전막(도 11의 142 참조)의 안정적인 형성에 유리한 격자구조를 제공하는 제3물질(132)을 순차적으로 증착한다, 그다음, 제3물질(132)과 제2물질(130)과 제1물질(128)의 선택적인 제거를 통하여 캐패시터 하부전극(134) 형성을 완성한다.

<83> 상기한 바와 같이, 매몰형 플러그(126)는 캐패시터 하부전극(134)과 전기적으로 도통되도록 직접적으로 접촉된다. 그리고, 후술하는 바와 같이, 캐패시터 하부전극(134)은 열과 산화에 강한 백금(132;Pt) 등으로 형성하며, 캐패시터 강유전막(도 11의 142 참조)은 강유전체의 증착과 산소 분위기에서의 열처리를 이용하여 형성한다. 캐패시터 하부전극(134)으로 사용되는 백금(132)은 열과 산화에 강하지만 산소의 이동을 차단하지 못한다. 따라서, 캐패시터 강유전막(도 11의 142 참조) 형성을 위한 산소 분위기에서의 열처리시, 산소는 백금(132)을 통과하여 매몰형 플러그(126)를 산화시키게 된다. 상기한 바와 같이 매몰형 플러그(126)는 폴리실리콘이나 텅스텐 등으로 형성하는데, 산소의 확산으로 형성되는 폴리실리콘 산화물이나 텅스텐 산화물은 도전성이 아니다. 따라서, 캐패시터 하부전극(134)과 매몰형 플러그(126) 사이의 계면에 폴리실리콘 산화물이나 텅스텐 산화물이 형성되면 접촉 저항(Contact Resistance)은 매우 높아지게 되어 소자의 동작을 어렵게 할 가능성이 존재한다.

<84> 그러므로, 캐패시터 하부전극(134)을 구성하는 물질 중에서 매몰형 플러그(126)와 직접적으로 접촉하는 제1물질(128)은 그 자체가 전도성 물질이면서 산화되지 않거나, 설령 산화되어도 전도성을 가지는 성질을 지니고 있으며, 산소의 확산을 허용하지 않는 물질인 것이 바람직하다. 따라서, 제1물질(128)로서 상기 요구조건에 적합한 특성을 지니는 이리듐(Iridium)인 것이 바람직하다. 이리듐(Iridium) 이외에 루테튬(Ruthenium)이나 오스뮴(Osmium)과 같이 잘 산화되지 않는 귀금속(Noble Metal)류 물질을 제1물질(128)로 적용할 수 있음은 물론이다.

<85> 백금(Platinum)을 전극으로 사용하는 강유전체 메모리 소자는 사용 회수에 따라 잔류 분극이 감소하는 현상인 피로(Fatigue) 현상을 보인다고 알려져 있다. 따라서, 캐패시터 하부전극(134)을 구성하는 물질 중에서 제2물질(130)로는 피로 특성을 개선시키기 위하여 후술하는 캐패시터 강유전막(도 11의 142 참조)에 산소를 공급할 수 있는 물질로 형성하는 것이 바람직하다. 후술하는 바와 같이, 강유전체의 증착으로 캐패시터 강유전막(도 11의 142 참조) 형성시 충분한 산소가 공급되지 못하게 되면 캐패시터 강유전막(도 11의 142 참조) 내에 공극이 형성될 수 있다. 캐패시터 강유전막(도 11의 142 참조)내에 공극이 다수 형성되면 캐패시터의 반복 특성이나 데이터 보존력(Retention)이 저하될 수 있다. 따라서, 제2물질(130)은 캐패시터 강유전막(도 11의 142 참조)에 산소를 공급하여 캐패시터 강유전막(도 11의 142 참조) 내의 공극을 줄일 수 있는 이산화이리듐(IrO_2)과 같은 이리듐 옥사이드(Iridium Oxide)인 것이 바람직하다.

<86> 후술하는 바와 같이, 강유전체의 강유전성을 높이기 위하여 강유전체 증착 이후에 영구 쌍극자(Permanent Electrical Dipole)가 존재하는 페로브스카이트 (Perovskite) 구조를 형성하기 위한 열처리를 진행하여 캐패시터 강유전막(도 11의 142 참조)을 형성한다. 따라서, 캐패시터 하부전극(134)을 구성하는 물질 중에서 제3물질(132)로는 캐패시터 강유전막(도 11의 142 참조)의 안정적인 형성에 유리한 격자구조를 제공하는 백금(Platinum)인 것이 바람직하다.

<87> 한편, 캐패시터 하부전극(134)을 형성한 후, 캐패시터 하부전극(134)을 전부 피복하도록 제2층간절연막(122a)상에 제1확산방지막(136)을 더 형성하는 것이 바람직하다. 캐패시터 하부전극(134)을 통해 매몰형 플러그(126)로의 산소의 확산으로 매몰형 플러그(126)가 산화되면 접촉 저항이 높아지게 된다. 이를 방지하기 위하여 캐패시터 하부전극(134) 상에 캡슐형의 제1확산방지막(136)을 형성하는 것이 바람직하다. 제1확산방지막(136)으로는 알루미늄 옥사이드

(Aluminium Oxide)와 같이 캐패시터 하부전극(136)으로의 산소의 확산을 억제할 수 있는 물질로 형성하는 것이 바람직하다. 알루미늄 옥사이드 이외에 티타늄 옥사이드(Titanium Oxide), 지르코늄 옥사이드(Zirconium Oxide), 세슘 옥사이드(Cesium Oxide)와 같이 산소의 확산을 방지할 수 있는 물질이면 어느 것이든 제1확산방지막(136)으로 적용할 수 있다.

<88> 이어서, 도 8에 도시된 바와 같이, 제2층간절연막(122a) 상에 제3층간절연막(138)을 형성한다. 구체적인 제3층간절연막(138) 형성 과정은 다음과 같다. 먼저, 캡슐형의 제1확산방지막(136)으로 둘러싸인 캐패시터 하부전극(134)이 모두 피복되도록 제2층간절연막(122a) 전면상에 실리콘 산화막과 같은 소정의 절연물질을 증착한다. 그런다음, 캐패시터 하부전극(134)의 표면이 노출되도록 소정의 절연물질을 화학기계적 연마(CMP)로 평탄화하여 제3층간절연막(138)을 형성한다. 그 결과, 캐패시터 하부전극(134)과 제3층간절연막(138) 사이에는 단차가 제거되어 평탄한 표면을 이루게 된다. 이때, 제1확산방지막(136)도 평탄화 과정에서 캐패시터 하부전극(134) 상부 표면에 형성된 부분이 제거된다.

<89> 그다음, 도 9에 도시된 바와 같이, 옥사이드 에치백(Oxide Etchback) 공정을 이용하여 캐패시터 하부전극(134) 사이에 형성된 제3층간절연막(138)을 일부 제거한다. 구체적으로, 제3층간절연막(138)의 상부 표면으로부터 일정 깊이의 두께를 제거한다. 그러면, 리세스(Recessed)된 형태의 제3층간절연막(138a), 즉 제3층간절연막(138a)의 상부 표면이 캐패시터 하부전극(134)의 표면보다 더 낮은 형태를 보이게 된다.

<90> 이어서, 도 10에 도시된 바와 같이, 캐패시터 하부전극(134)과 단차가 없도록 리세스된 제3층간절연막(138a) 상에 반응완충막(140)을 형성하여, 매몰형 캐패시터 하부전극(134) 구조를 이루게끔 한다. 즉, 매몰형 캐패시터 하부전극(134)은 캐패시터 하부전극(134)의 표면만이

노출되면서, 제3층간절연막(138a)과 반응완충막(140)으로 둘러싸인 매몰되어 있는 구조로 된다.

<91> 여기서, 반응완충막(140)을 형성하는 이유는 다음과 같다. 후술하는 캐패시터 강유전막(도 11의 142 참조)을 형성하기 위해선 강유전체를 비정질 상태로 증착한 다음, 증착된 강유전체가 페로브스카이트(Perovskite)라는 영구 쌍극자(Permanent Electric Dipole)를 갖는 강유전성 결정 구조를 가지도록 해야 한다. 이를 위해 강유전체의 증착후 고온의 산화성 분위기에서 열처리를 진행한다. 이때, 제3층간절연막(138a)과 같은 실리콘 산화막 위에 강유전체를 증착한 후 열처리를 진행하게 되면, 실리콘 산화막과 강유전체 사이에 반응이 일어나 강유전성을 저하시키는 바람직하지 않은 파이로클로르상(Pyrochlore Phase)이 생기게 된다. 따라서, 제3층간절연막(138a)상에는 제3층간절연막(138a)과 후술하는 캐패시터 강유전막(도 11의 142 참조) 사이의 반응을 허용하지 않는 물질로 반응완충막(140)을 형성한다.

<92> 구체적인 반응완충막(140) 형성 과정은 다음과 같다. 먼저, 캐패시터 하부전극(134)과 선택적으로 제거되어 리세스된 제3층간절연막(138a)상에 소정의 물질을 증착한다. 이어서, 캐패시터 하부전극(134)의 상부 표면이 노출되도록 소정의 물질을 화학기계적 연마로 평탄화하여 반응완충막(140)을 형성한다. 소정의 물질은 상기한 바와 같이 제3층간절연막(138a)과 후술하는 캐패시터 강유전막(도 11의 142 참조) 사이의 반응을 허용하지 않는 물질, 예를 들어, 티타늄 옥사이드 (Titanium Oxide)와 탄탈륨 옥사이드 (Tantalum Oxide)와 알루미늄 옥사이드 (Aluminium Oxide) 중에서 선택된 어느 하나인 것이 바람직하다.

<93> 이와 같이, 캐패시터 하부전극(134) 사이의 리세스된 제3층간절연막(138a) 상에 반응완충막(140)을 형성하게 되면 결과적으로 강유전체가 증착될 증착면이 평탄화를 이루게 된다.

- <94> 다음으로, 도 11에 도시된 바와 같이, 반응완충막(140)으로 매립된 형태를 보이는 매물형 캐패시터 하부전극(134) 구조에 의해 평탄화된 캐패시터 하부전극(134)과 반응완충막(140)상에 강유전체의 증착과 열처리를 통해 캐패시터 강유전막(142)을 형성한다.
- <95> 강유전체로는 PZT (Lead Zirconium Titanate), SBT (Strontium Barium Tantalum), SBTN (Strontium Barium Tantalum Nitride), SBTB (Strontium Barium Tantalum Titanate) 등 강유전성 물질이면 어느 것이나 사용할 수 있다.
- <96> 캐패시터 강유전막(142)은 다음과 같은 공정으로 형성한다. 먼저, 예를 들어 졸-겔 코팅(Sol-Gel Coating) 방식을 통해 강유전체(Ferroelectric Material)를 양질의 비정질 상태로 증착한 다음, 증착된 강유전체가 페로브스카이트(Perovskite)와 같은 강유전성 결정 구조를 갖게끔 고온의 산화성 분위기에서 열처리를 진행하여 캐패시터 강유전막(142)을 형성한다. 이때, 상기한 바와 같이 캐패시터 하부전극(134)을 형성하는 물질 중에서 최상부의 제3물질(132)로서 백금(Platinum)을 적용하게 되면, 강유전체의 강유전성 결정 구조화에 유리한 격자구조를 제공하게 되므로 보다 안정적인 캐패시터 강유전막(142) 형성에 도움이 된다.
- <97> 또한, 캐패시터 강유전막(142)과 제3층간절연막(138a)은 반응완충막(140)에 의해 서로 격리되어 있으므로, 파이로클로르상(Pyrochlore Phase)의 생성과 같이 강유전성에 대하여 바람직하지 않는 현상은 발생되지 않게 된다. 이에 더하여, 캐패시터 강유전막(142) 형성에 있어서, 식각 공정이 적용되지 않기 때문에 캐패시터 강유전막(142)의 식각 손상(Etch Damage)과 같은 바람직하지 않은 현상도 발생되지 않게 된다. 또한, 매물형 캐패시터 하부전극(134) 구조에 의해 강유전체의 증착면은 평탄화되어 있으므로 강유전체의 균일한 증착이 가능하다.
- <98> 이어서, 도 12에 도시된 바와 같이, 캐패시터 강유전막(142)상에 캐패시터 상부전극(148)을 형성한다. 캐패시터 상부전극(148)은 다음과 같이 형성한다. 먼저, 캐패시터 강유전막

(142)상에 캐패시터 강유전막(142)에 산소를 공급할 수 있는 제4물질(144)과, 제4물질(144)의 기계적 강도를 보완할 수 있는 제5물질(146)을 순차로 증착한다. 그런다음, 제5물질(146)과 제4물질(144)을 선택적으로 제거하여 금속이 적층된 형태의 캐패시터 상부전극(148) 형성을 완성한다.

<99> 상기한 바와 같이, 강유전체 메모리 소자의 피로(Fatigue) 특성을 개선하기 위하여 캐패시터 상부전극(148)의 제4물질(144)로는 캐패시터 강유전막(142)에 산소를 공급할 수 있는 이산화이리듐(IrO_2)과 같은 이리듐 옥사이드(Iridium Oxide)를 적용하는 것이 바람직하다.

<100> 그런데, 제4물질(144)로 적용되는 이리듐 옥사이드는 기계적 강도 측면에서 취성(Brittleness)과 같은 취약한 특성을 지니고 있다. 따라서, 캐패시터 상부전극(148)의 제5물질(146)로는 제4물질(144)로 적용되는 이리듐 옥사이드(Iridium Oxide)의 취약한 기계적 강도를 보완할 수 있는 이리듐(Iridium)을 적용하는 것이 바람직하다.

<101> 또한, 캐패시터 상부전극(148)을 형성한 이후에, 캐패시터 상부전극(148)과 캐패시터 강유전막(142) 전면상에 제2확산방지막(150)을 더 형성하는 것이 바람직하다. 제2확산방지막(150)은 후속 공정에 의한 물질의 이동, 특히 캐패시터 강유전막(142)의 강유전성 저하를 야기하는 수소의 확산을 억제할 수 있는 알루미늄 옥사이드(Aluminium Oxide)로 형성하는 것이 바람직하다.

<102> 다음으로, 도 13에 도시된 바와 같이, 캐패시터 상부전극(148)을 형성하는 단계 이후에, 캐패시터 상부전극(148)이 완전히 피복되도록 제2확산방지막(150) 전면상에 제4층간절연막(160)을 형성한다. 제4층간절연막(160) 형성의 경우도 여타의 층간절연막 형성과 마찬가지로 통상적인 화학기상증착법(CVD) 등으로 실리콘 산화막 등을 증착하여 형성한다. 계속하여, 제4

층간절연막(160)의 소정 부위에 알루미늄 등의 금속 증착과 패터닝으로 제1금속배선(162)을 형성한다. 그다음, 제1금속배선(162)이 형성된 제4층간절연막(160)상에 통상적인 화학기상증착법(CVD) 등으로 실리콘 산화막 등을 증착하여 제5층간절연막(164)을 형성한다.

<103> 이어서, 도 14에 도시된 바와 같이, 캐패시터 상부전극(148)의 상부 표면이 노출되도록 제5층간절연막(164)과 제4층간절연막(160)을 식각 공정 등으로 선택적으로 제거하여 비아홀(166)을 형성한다. 이때, 제2확산방지막(150)이 더 형성되어 있으면 제2확산방지막(150)도 선택적으로 제거한다. 그리하여, 선택적으로 제거된 제5층간절연막(164a)과 제4층간절연막(160a)을 관통하여 캐패시터 상부전극(148)을 노출시키거나, 또는 제5층간절연막(164a)과 제4층간절연막(160a)과 제2확산방지막(150a)을 관통하여 캐패시터 상부전극(148)을 노출시키는 비아홀(166)을 형성한다. 한편, 비아홀(166) 형성시 캐패시터 상부전극(148)은 식각 공정에서의 식각 정지막 역할을 하게 된다.

<104> 그런다음, 비아홀(166) 바닥면을 통해 노출된 캐패시터 상부전극(148)과 전기적으로 도통되는 이른바 플레이트 라인이라 지칭되는 제2금속배선(168)을 알루미늄 등으로 형성한다.

<105> 이후, 필요한 후속 공정을 계속 진행하여 매몰형 캐패시터 하부전극 구조를 갖는 강유전체 메모리 소자의 제조를 완성한다.

<106> 한편, 도 15에 도시된 바와 같이, 비트라인(120) 형성 이전에 제1콘택홀(118) 내에 폴리실리콘 등을 매립하여 기판(100)의 소오스 영역(112a)과 접촉하는 제1콘택패드(115a)를 형성할 수 있다. 그리하여, 제1콘택패드(115a)를 통해서 비트라인(120)을 소오스 영역(112a)과 전기적으로 도통시킬 수 있다. 또한, 매몰형 플러그(126) 형성 이전에 제2콘택홀(124) 내에 폴리실리콘 등을 매립하여 기판(100)의 드레인 영역(112b)과 접촉하는 제2콘택패드(115b)를 형성할

수 있다. 그리하여, 제2콘택패드(115b)를 통해서 매물형 플러그(126)를 드레인 영역(112b)과 전기적으로 도통시킬 수 있다.

<107> 상기와 같은 일련의 공정에 의하면, 캐패시터 강유전막 형성시 평탄화된 증착면상에 강유전체를 증착하게 되므로 균일한 증착이 가능하게 된다. 또한, 반응완충막의 형성으로 인해 강유전체와 층간절연막간의 원치 않은 반응이 일어나지 않게 된다. 이에 더하여, 식각 손상이 없는 캐패시터 강유전막을 형성할 수 있게 된다.

【발명의 효과】

<108> 이상에서 설명한 바와 같이, 본 발명에 따른 강유전체 메모리 소자 및 그 제조방법에 의하면, 매물형 캐패시터 하부전극 구조의 적용으로 캐패시터 강유전막은 식각 손상을 입지 않게 된다. 이와 아울러, 반응완충막의 형성과 강유전체 증착면의 평탄화로 강유전체 증착의 균일성이 담보되고 강유전체와 층간절연막간의 원치 않은 반응이 억제된다. 따라서, 강유전체 메모리 소자의 전기적 특성이 향상되는 효과가 있다.

【특허청구범위】**【청구항 1】**

트랜지스터가 형성된 반도체 기판;

상기 기판상에 형성된 제1층간절연막;

상기 기판과 전기적으로 도통하고, 상기 제1층간절연막 일부상에 형성된 비트라인;

상기 제1층간절연막 전면상에 형성된 제2층간절연막;

상기 제2층간절연막과 제1층간절연막을 관통하는 매몰형 플러그;

상기 매몰형 플러그와 전기적으로 도통되는 매몰형 캐패시터 하부전극;

상기 매몰형 캐패시터 하부전극 사이에 리세스되어 형성된 제3층간절연막;

상기 매몰형 캐패시터 하부전극과의 단차없이 상기 제3층간절연막상에 형성된 반응완충막;

상기 매몰형 캐패시터 하부전극과 반응완충막상에 형성된 캐패시터 강유전막; 및

상기 캐패시터 강유전막상에 형성된 캐패시터 상부전극을 포함하는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 2】

제1항에 있어서,

상기 매몰형 캐패시터 하부전극의 측면과 제2층간절연막상에 제1확산방지막이 더 형성되어 있는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 3】

제2항에 있어서,

상기 제1확산방지막은 상기 매물형 캐패시터 하부전극으로의 산소의 확산을 억제할 수 있는 물질로 형성되어 있는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 4】

제3항에 있어서,

상기 산소의 확산을 억제할 수 있는 물질은 알루미늄 옥사이드(Aluminium Oxide)인 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 5】

제1항에 있어서,

상기 매물형 캐패시터 하부전극은,

상기 매물형 플러그와 접촉하며 산소의 확산을 허용하지 않는 제1물질과;

상기 캐패시터 강유전막에 산소를 공급할 수 있는 제2물질과;

상기 캐패시터 강유전막의 안정적인 형성에 유리한 격자구조를 제공하는 제3물질이 순차로 형성된 적층구조로 되어 있는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 6】

제5항에 있어서,

상기 적층구조는,

상기 제1물질이 최하부막을 이루고, 상기 제2물질이 중간막을 이루며, 상기 제3물질이 최상부막을 이루는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 7】

제5항 또는 제6항에 있어서,

상기 제1물질은 이리듐(Iridium)이고,

상기 제2물질은 이리듐 옥사이드(Iridium Oxide)이며,

상기 제3물질은 백금(Platinum)인 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 8】

제1항에 있어서,

상기 반응완충막은 상기 제3층간절연막과 상기 캐패시터 강유전막 사이의 반응을 허용하지 않는 물질로 형성되어 있는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 9】

제8항에 있어서,

상기 제3층간절연막과 상기 캐패시터 강유전막 사이의 반응을 허용하지 않는 물질은 티타늄 옥사이드(Titanium Oxide)와 탄탈륨 옥사이드(Tantalum Oxide)와 알루미늄 옥사이드(Aluminium Oxide) 중에서 선택된 어느 하나인 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 10】

제1항에 있어서,

상기 캐패시터 상부전극은,

상기 캐패시터 강유전막에 산소를 공급할 수 있는 제4물질과;

상기 제4물질의 기계적 강도를 보완할 수 있는 제5물질이 순차로 형성된 적층구조로 되어 있는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 11】

제10항에 있어서,

상기 적층구조는,

상기 제4물질이 하부막을 이루고, 상기 제5물질이 상부막을 이루는 것을 특징으로 하는
강유전체 메모리 소자.

【청구항 12】

제10항 또는 제11항에 있어서,

상기 제4물질은 이리듐 옥사이드(Iridium Oxide)이고, 상기 제5물질은 이리듐(Iridium)
인 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 13】

제1항에 있어서,

상기 캐패시터 상부전극과 상기 캐패시터 강유전막 전면상에 제2확산방지막이 더 형성되
어 있는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 14】

제13항에 있어서,

상기 제2확산방지막은 상기 캐패시터 강유전막의 강유전성 저하를 야기하는 수소의 확산
을 억제할 수 있는 물질로 형성되어 있는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 15】

제14항에 있어서,

상기 수소의 확산을 억제할 수 있는 물질은 알루미늄 옥사이드(Aluminium Oxide)인 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 16】

제1항에 있어서,

상기 캐패시터 상부전극이 피복되도록 형성되어 있는 제4층간절연막;

상기 제4층간절연막의 소정 부위에 형성되어 있는 제1금속배선;

상기 제4층간절연막상에 형성되어 있는 제5층간절연막;

상기 캐패시터 상부전극의 표면이 노출되도록 상기 제5층간절연막과 제4층간절연막이 선택적으로 제거되어 형성된 비아홀; 및

상기 비아홀 내면에 형성되어 상기 캐패시터 상부전극과 전기적으로 도통되는 제2금속배선을 더 포함하는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 17】

제16항에 있어서,

상기 제1금속배선은 알루미늄으로 형성되어 있는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 18】

제16항에 있어서,

상기 제2금속배선은 알루미늄으로 형성되어 있는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 19】

반도체 기판을 제공하는 단계;

상기 기판상에 트랜지스터를 형성하는 단계;

상기 트랜지스터가 형성된 기판상에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막의 일부상에 상기 기판과 전기적으로 도통하는 비트라인을 형성하는 단계;

상기 제1층간절연막 전면상에 제2층간절연막을 형성하는 단계;

상기 제2층간절연막과 제1층간절연막을 관통하는 매몰형 플러그를 형성하는 단계;

상기 매몰형 플러그와 전기적으로 도통되는 캐패시터 하부전극을 형성하는 단계;

상기 제2층간절연막상에 제3층간절연막을 형성하는 단계;

상기 제3층간절연막을 일부 제거하되, 상기 제3층간절연막의 상부 표면으로부터 일정 깊이의 두께를 제거하는 단계;

상기 캐패시터 하부전극과의 단차가 없도록 상기 제3층간절연막상에 반응완충막을 형성하여, 상기 반응완충막에 의해 매몰된 형태를 가진 매몰형 캐패시터 하부전극 구조를 형성하는 단계;

상기 매물형 캐패시터 하부전극과 반응완충막상에 캐패시터 강유전막을 형성하는 단계;
및

상기 캐패시터 강유전막상에 캐패시터 상부전극을 형성하는 단계를 포함하는 것을 특징
으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 20】

제19항에 있어서,

상기 캐패시터 하부전극을 형성하는 단계 이후에,

상기 캐패시터 하부전극을 전부 피복하도록 상기 제2층간절연막상에 제1확산방지막을 형
성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 21】

제20항에 있어서,

상기 제1확산방지막은 상기 캐패시터 하부전극으로의 산소의 확산을 억제할 수 있는 물
질로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 22】

제21항에 있어서,

상기 산소의 확산을 억제할 수 있는 물질은 알루미늄 옥사이드(Aluminium Oxide)인 것을
특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 23】

제19항에 있어서,

상기 캐패시터 하부전극을 형성하는 단계는,

상기 매물형 플러그가 형성된 제2층간절연막상에 산소의 확산을 허용하지 않는 제1물질과, 상기 캐패시터 강유전막에 산소를 공급할 수 있는 제2물질과, 상기 캐패시터 강유전막의 안정적인 형성에 유리한 격자구조를 제공하는 제3물질을 순차로 증착하는 단계; 및

상기 증착된 제3물질과 제2물질과 제1물질을 선택적으로 제거하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 24】

제23항에 있어서,

상기 제1물질은 이리듐(Iridium)이고, 상기 제2물질은 이리듐 옥사이드(Iridium Oxide)이며, 상기 제3물질은 백금(Platinum)인 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 25】

제19항에 있어서,

상기 제3층간절연막을 형성하는 단계는,

상기 캐패시터 하부전극이 모두 피복되도록 상기 제2층간절연막상에 소정의 절연물질을 증착하는 단계; 및

상기 캐패시터 하부전극 상부 표면이 노출되도록 상기 절연물질을 화학기계적 연마로 평탄화하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 26】

제19항에 있어서,

상기 제3층간절연막을 일부 제거하는 단계는,

옥사이드 에치백 공정을 이용하여 상기 캐패시터 하부전극 사이에 형성된 제3층간절연막을 일부 제거하여 상기 제3층간절연막의 상부 표면이 상기 캐패시터 하부전극의 표면보다 더 낮도록 형성하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 27】

제19항에 있어서,

상기 반응완충막을 형성하는 단계는,

상기 캐패시터 하부전극과 상기 선택적으로 제거된 제3층간절연막상에 소정의 물질을 증착하는 단계; 및

상기 캐패시터 하부전극의 상부 표면이 노출되도록 상기 소정의 물질을 화학기계적 연마로 평탄화하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 28】

제27항에 있어서,

상기 소정의 물질은 상기 제3층간절연막과 상기 캐패시터 강유전막 사이의 반응을 허용하지 않는 물질인 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 29】

제28항에 있어서,

상기 제3층간절연막과 상기 캐패시터 강유전막 사이의 반응을 허용하지 않는 물질은 티타늄 옥사이드(Titanium Oxide)와 탄탈륨 옥사이드(Tantalum Oxide)와 알루미늄 옥사이드(Aluminium Oxide) 중에서 선택된 어느 하나인 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 30】

제19항에 있어서,

상기 캐패시터 상부전극을 형성하는 단계는,

상기 캐패시터 강유전막상에 상기 캐패시터 강유전막에 산소를 공급할 수 있는 제4물질과, 상기 제4물질의 기계적 강도를 보완할 수 있는 제5물질을 순차로 증착하는 단계; 및

상기 제5물질과 제4물질을 선택적으로 제거하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 31】

제30항에 있어서,

상기 제4물질은 이리듐 옥사이드(Iridium Oxide)이고, 상기 제5물질은 이리듐(Iridium)인 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 32】

제19항에 있어서,

상기 캐패시터 상부전극을 형성하는 단계 이후에,

상기 캐패시터 상부전극과 상기 캐패시터 강유전막 전면상에 제2확산방지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 33】

제32항에 있어서,

상기 제2확산방지막은 상기 캐패시터 강유전막의 강유전성 저하를 야기하는 수소의 확산을 억제할 수 있는 물질로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 34】

제33항에 있어서,

상기 수소의 확산을 억제할 수 있는 물질은 알루미늄 옥사이드(Aluminium Oxide)인 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 35】

제19항에 있어서,

상기 캐패시터 상부전극을 형성하는 단계 이후에,

상기 캐패시터 상부전극이 피복되도록 제4층간절연막을 형성하는 단계;

상기 제4층간절연막의 소정 부위에 제1금속배선을 형성하는 단계;

상기 제4층간절연막상에 제5층간절연막을 형성하는 단계;

상기 캐패시터 상부전극의 표면이 노출되도록 상기 제5층간절연막과 제4층간절연막을 선택적으로 제거하여 비아홀을 형성하는 단계; 및

상기 비아홀 내면에 상기 캐패시터 상부전극과 전기적으로 도통되는 제2금속배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 36】

제35항에 있어서,

상기 제1금속배선은 알루미늄으로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【청구항 37】

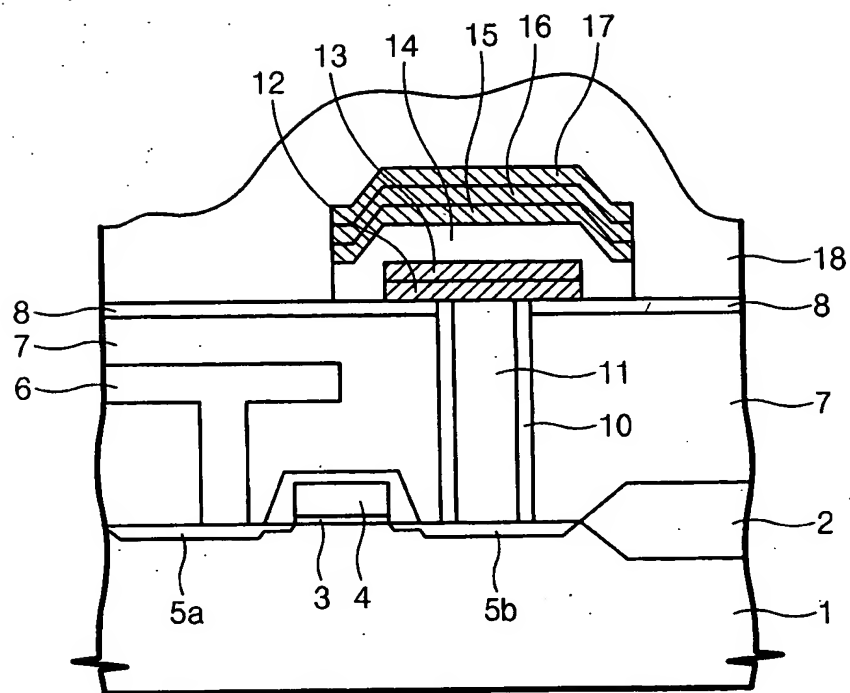
제35항에 있어서,

상기 제2금속배선은 알루미늄으로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의
제조방법.

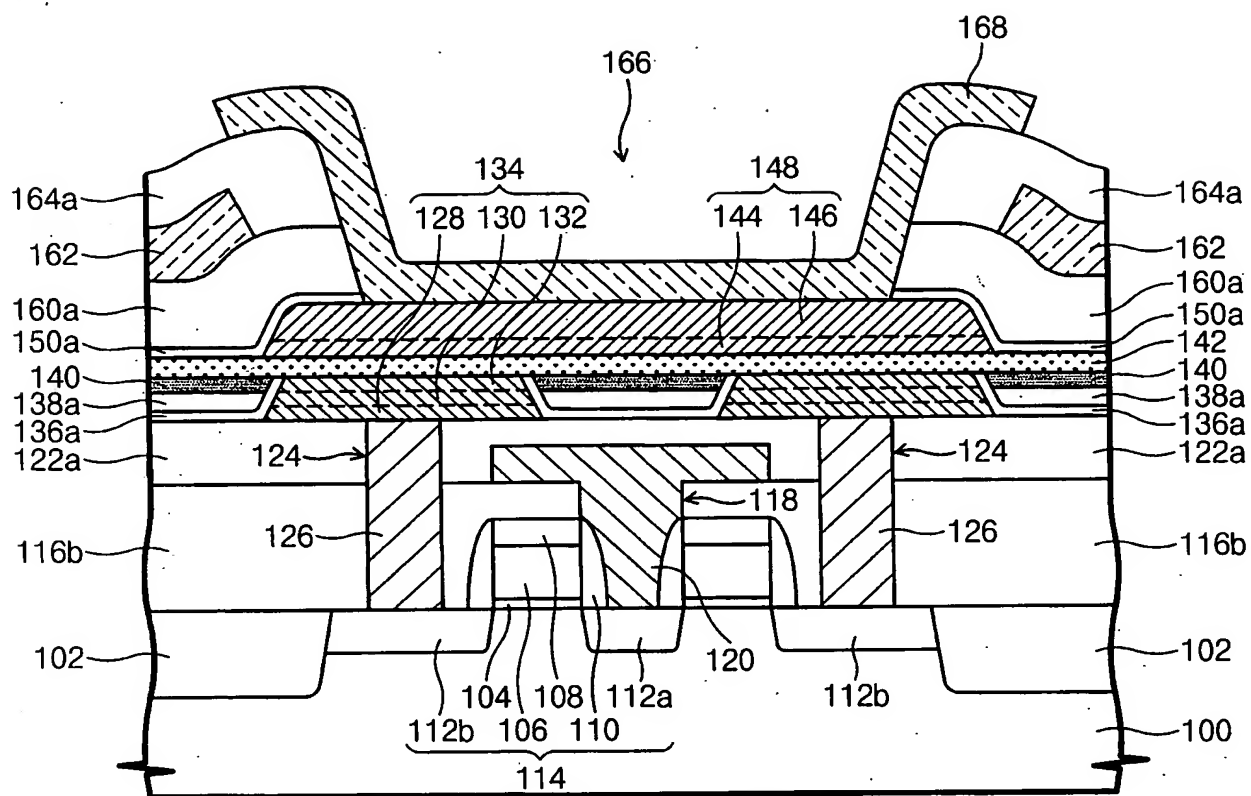
【도면】

【도 1】

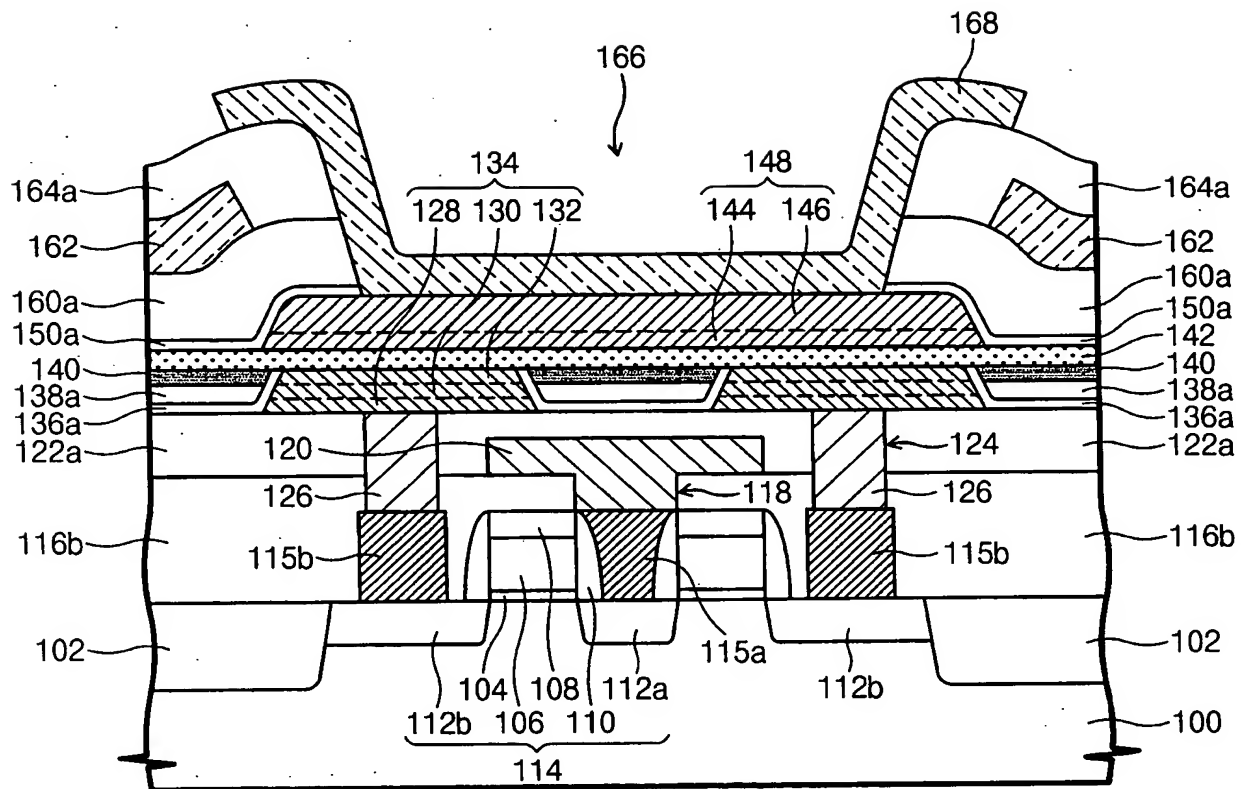
(종래 기술)



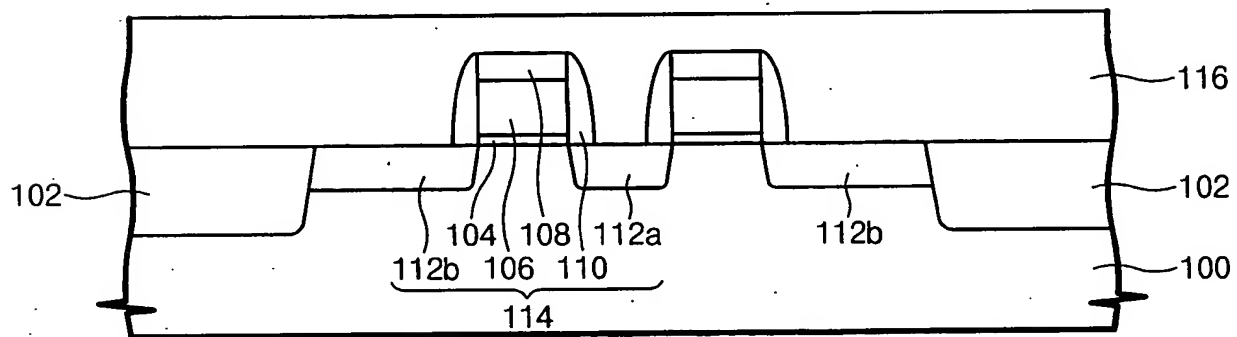
【도 2】



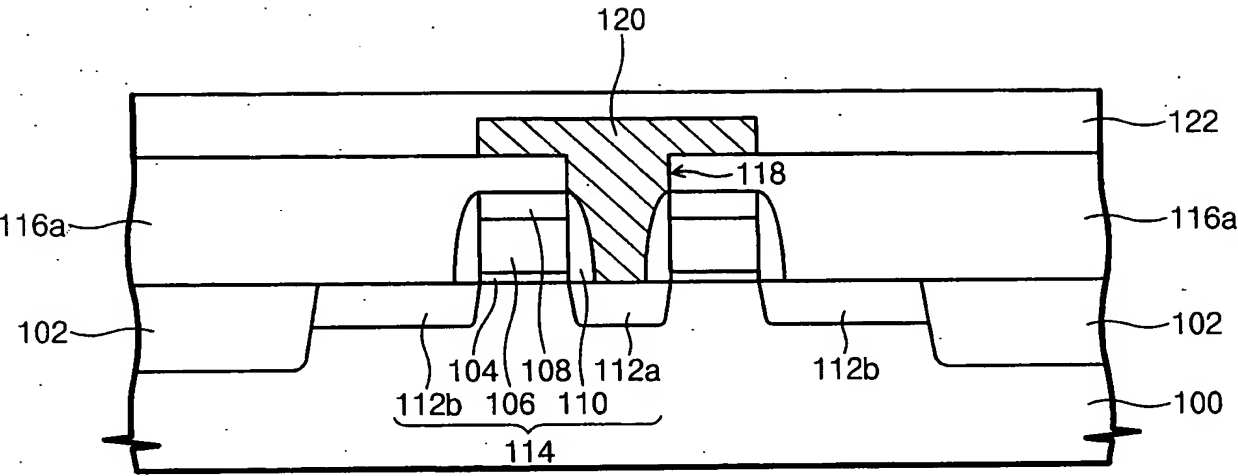
【도 3】



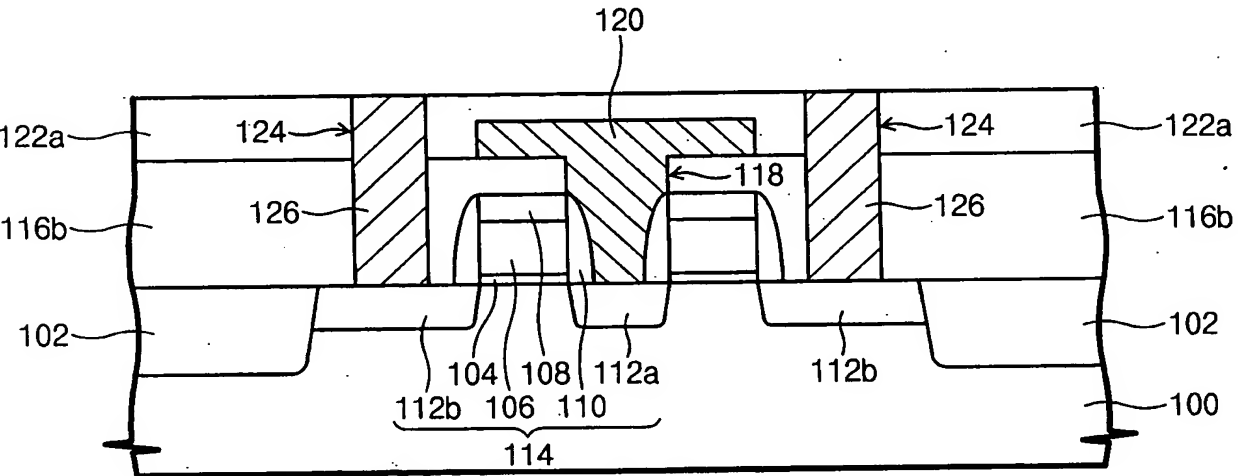
【도 4】



【도 5】

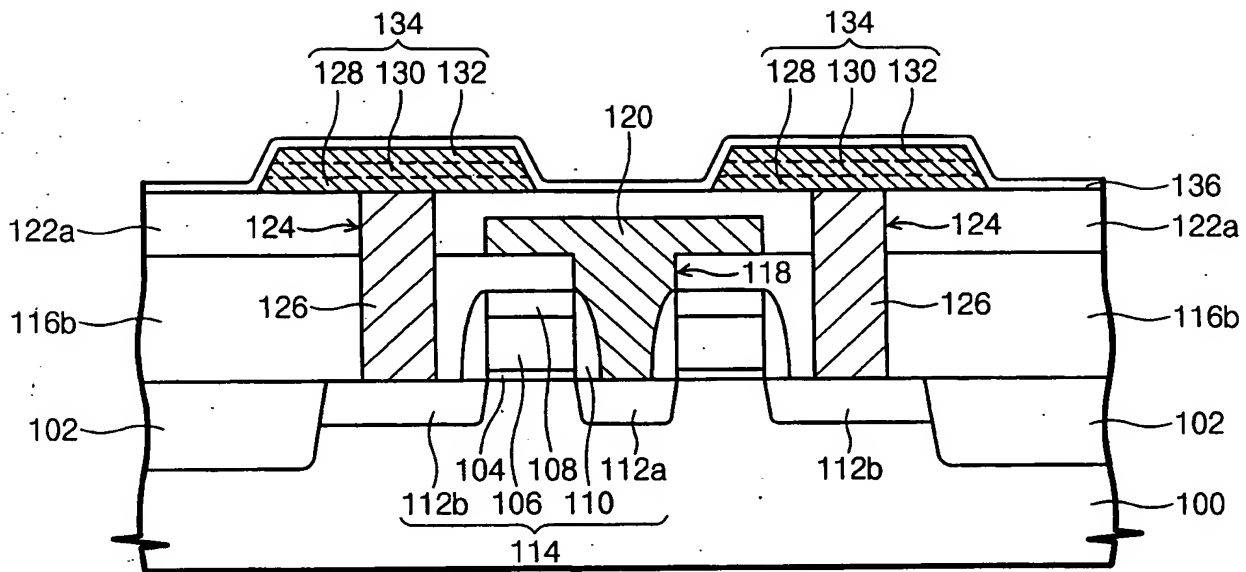


【도 6】

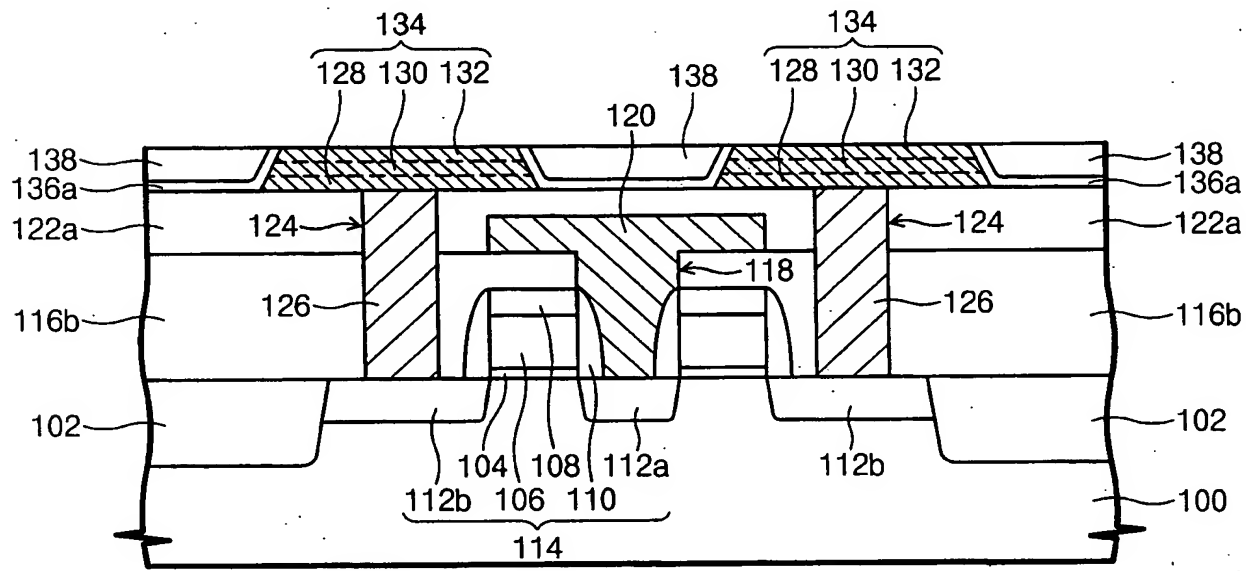




【도 7】



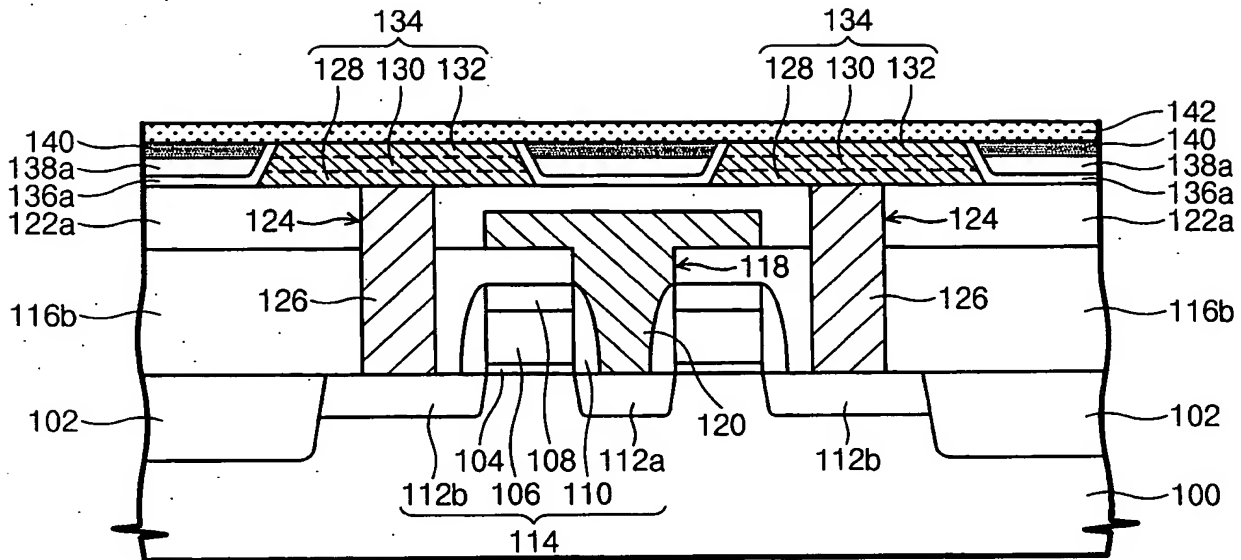
【도 8】



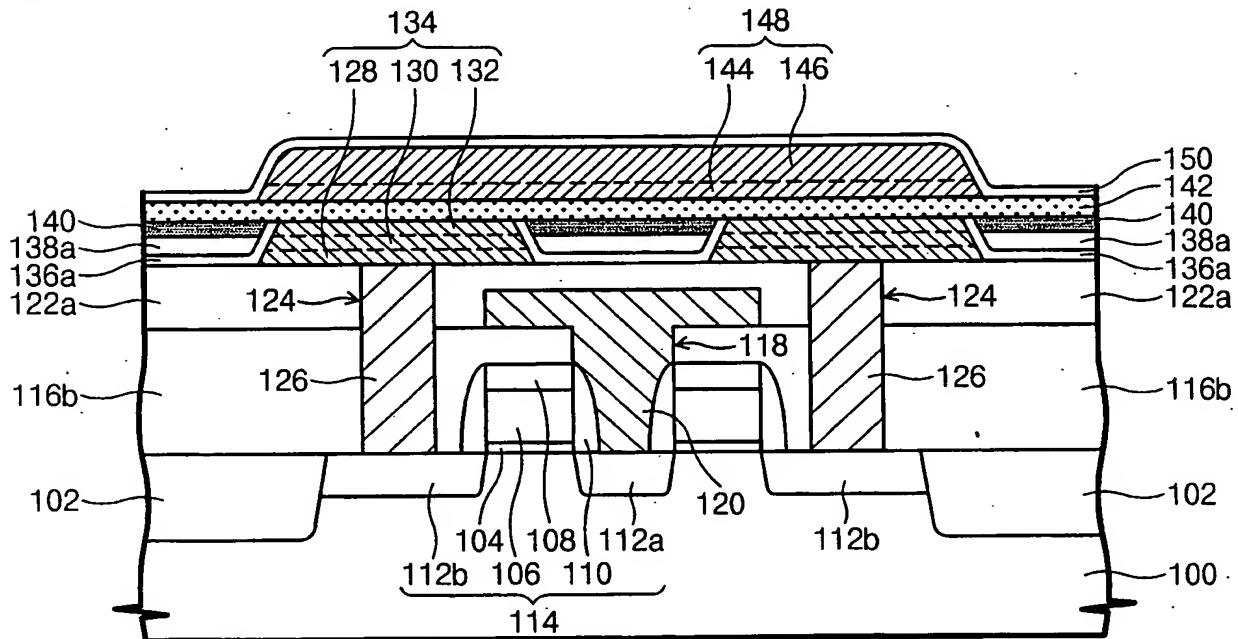
This cross-sectional view shows a semiconductor device with a central gate structure and side regions. The central gate structure includes a gate stack (120) on a gate dielectric (124), with a gate electrode (118) and a gate contact (112a). The side regions include a side gate stack (126) on a side gate dielectric (124), with a side gate electrode (116b) and a side gate contact (112b). The device is formed on a substrate (100) with a well region (102). The top surface is covered by a passivation layer (136a) and a contact pad (138a). The bottom surface is covered by a contact pad (104) and a contact pad (106). The central gate structure is labeled 134, and the side regions are labeled 132. The gate stack is labeled 120, the gate dielectric is 124, the gate electrode is 118, and the gate contact is 112a. The side gate stack is labeled 126, the side gate dielectric is 124, the side gate electrode is 116b, and the side gate contact is 112b. The substrate is labeled 100, the well region is 102, the contact pad is 104, and the contact pad is 106.

[illegible]

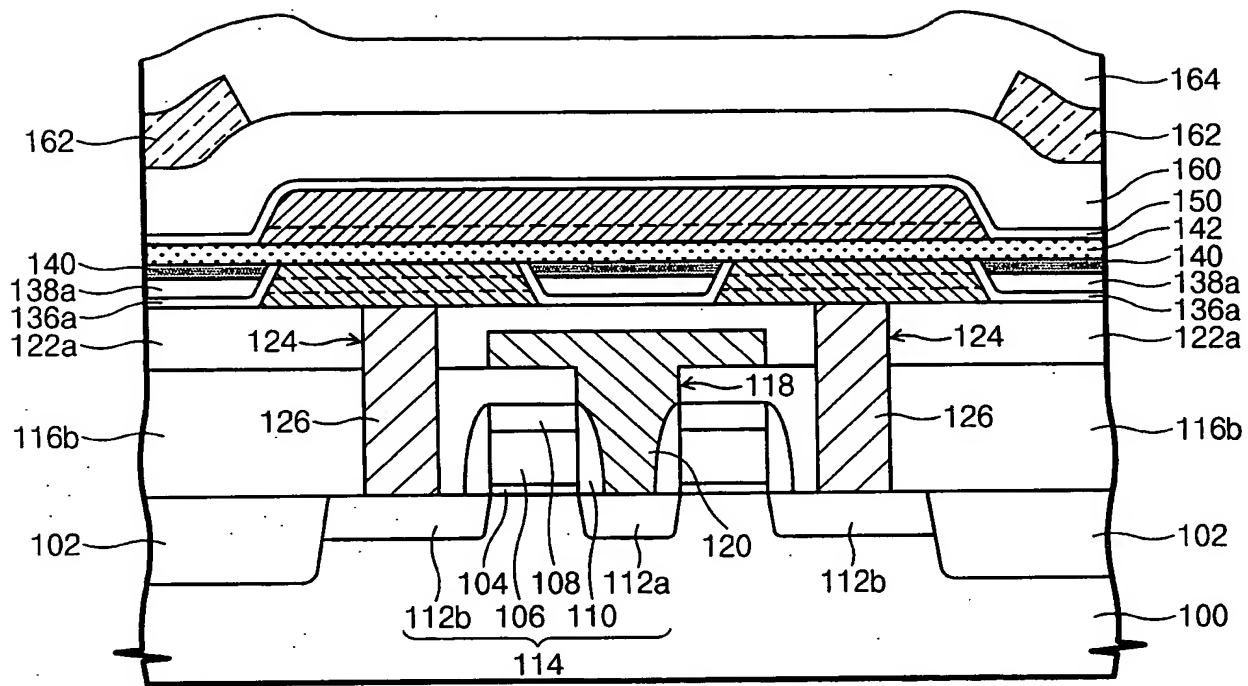
【도 11】



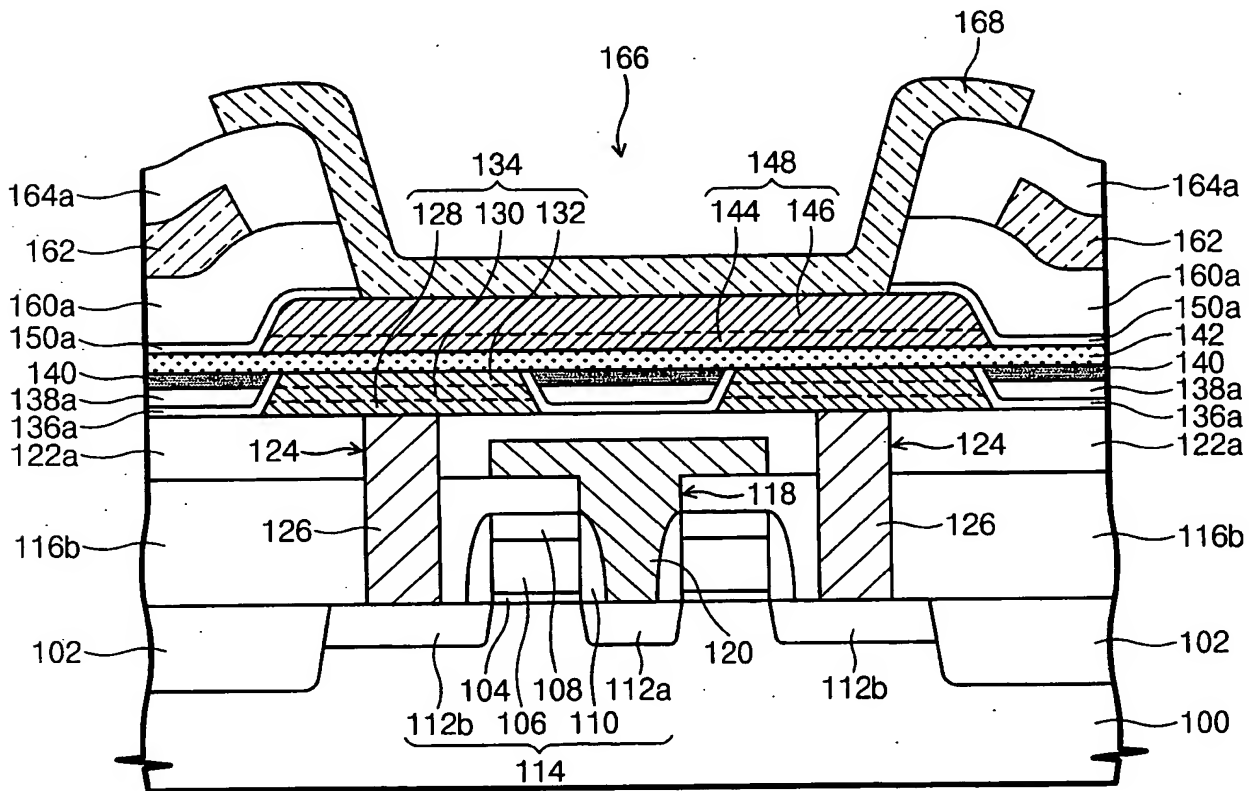
【도 12】



【도 13】



【도 14】



【도 15】

